

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-252906

(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

H04L 7/00
H04J 3/06
H04J 3/07
H04L 12/42

(21)Application number : 05-033504

(71)Applicant : HITACHI LTD
HITACHI MICOM SYST:KK

(22)Date of filing : 23.02.1993

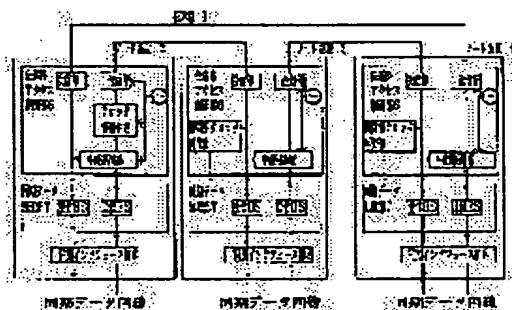
(72)Inventor : SUKEGAWA FUMIO
SUGAWARA TAKASHI
WADA KOJI
MOTOKI YOSHIKO

(54) SYNCHRONIZATION CONTROL SYSTEM

(57)Abstract:

PURPOSE: To prevent the complication of control operations for a synchronous data processor included in a communication network which transmits the data containing the synchronous and asynchronous data.

CONSTITUTION: The node devices 2-4 are connected to a transmission line 1 where a synchronous data processor is contained in a synchronous data circuit and the data containing both synchronous and asynchronous data are transmitted. A synchronous data processing part 7 excludes the control data out of a transmission frame by means of an elastic memory to transmit the transmission frame sent from the line 1 to the synchronous data circuit. Then the part 7 converts only the information part of a cell into the formats which are closed forward and continuous. Thus the synchronous data processor can easily specify the positions of cells and channels and can facilitate its control operations. Furthermore a warning signal is produced before the write/read phase difference affects the elastic memory. So that the jitters and the phase difference caused between the node independent synchronous clocks and the network synchronous clocks can be absorbed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-252906

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H04L 7/00

A 7741-5K

B 7741-5K

H04J 3/06

D 8226-5K

3/07

8226-5K

8838-5K

H04L 11/00

330

審査請求 未請求 請求項の数2 OL (全8頁) 最終頁に続く

(21)出願番号

特願平5-33504

(22)出願日

平成5年(1993)2月23日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72)発明者 助川 文雄

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

(72)発明者 菅原 隆

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

(74)代理人 弁理士 武 顕次郎

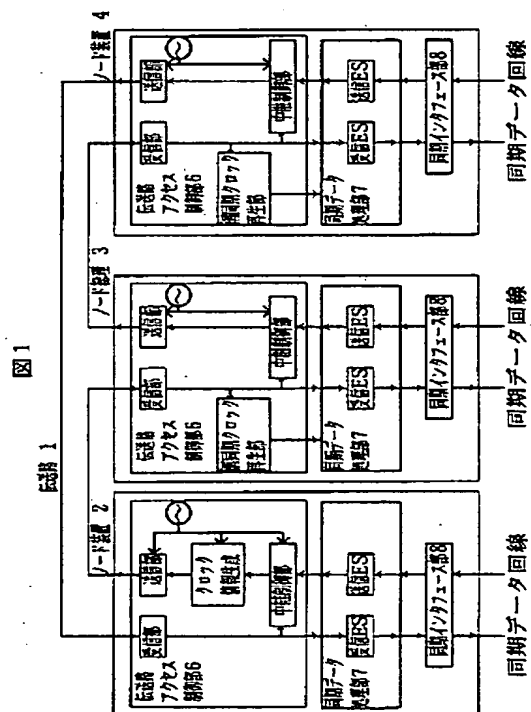
最終頁に続く

(54)【発明の名称】 同期制御方式

(57)【要約】

【目的】 同期データと非同期データとが混在するデータが伝送される通信網に收容される同期データ処理装置における制御動作を複雑にすることを防止する。

【構成】 複数のノード装置2〜4は、同期データ回線に同期データ処理装置を收容し、同期データと非同期データとが混在するデータが伝送される伝送路1に接続されている。同期データ処理部7は、伝送路1からの伝送フレームを同期データ回線に送出する場合、エラスティックメモリを使用して、フレーム中の制御データを取り除き、セルの情報部のみを前づめに連続したフォーマットに変換する。これにより、同期データ処理装置は、セル、チャネルの位置を容易に特定することができ、その制御動作が容易になる。また、エラスティックメモリに対する書き込み、読み出しの位相差が障害となる前に、警告信号を発生して、ノードの独立同期クロックと網同期クロック間のジッタや位相のずれの吸収を行う。



【特許請求の範囲】

【請求項1】 同期データ処理装置を収容する複数のノード装置と、これらをリング状に接続する伝送路とより成り、各ノード装置がそれぞれ独立の同期クロックにより動作し、同期データと非同期データとをセルと呼ばれる情報単位に混在させた伝送フレームを用いて通信を行う独立同期型伝送システムにおいて、前記ノード装置は、網同期クロックに同期した同期データを収容するために独立同期クロックにより動作する部分と網同期クロックにより動作する部分との間にエラスティックメモリを備え、独立同期クロックと網同期クロックとの間のジッタ、位相のずれによるデータの欠落を防止すると共に、セルの制御情報部分を削除し、情報部のみを前づめに連続配置したフォーマットに変換したフレームを同期データ処理装置に渡すことを特徴とする同期制御方式。

【請求項2】 独立同期クロックと網同期クロック間のジッタ、位相のずれによるエラスティックメモリのオーバーフロー・アンダーフローの兆候を、エラスティックメモリに対する書き込みフレームと読み出しフレームとの位相比較により検出し、エラスティックメモリ制御回路の故障と網同期クロック再生不良とを切り分けることを特徴とする請求項1記載の同期制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、同期制御方式に係り、特に、同期データと非同期データとが混在する独立同期型マルチメディアLAN等の伝送システムにおいて、伝送システムに同期データを収容し、網同期クロック動作部に対してデータの受渡しを行うために使用して好適な同期制御方式に関する。

【0002】

【従来の技術】 一般に、マルチメディアLAN等の同期データと非同期データとが混在する伝送処理のノード装置において、同期データを網同期化して通信網に収容する場合、動作クロックの乗せ替えを実現するためだけにエラスティックメモリが用いられている。

【0003】 しかし、この動作クロックの乗せ替えに際し、伝送路内を巡回するフレームフォーマットを保存したままクロックを乗せ替えて、そのデータを同期データ処理装置に送信した場合、同期データ処理装置は、同期データの取り出し、または、乗せ替えを行うために、フレーム中に挿入される無効領域を考慮した複雑な制御を行う必要がある。

【0004】 このような複雑な制御の必要性を回避するためには、前述の動作クロックの乗せ替えに際して、伝送路内を巡回するフレームフォーマットの無効領域を排除し同期データ処理としての制御が容易なフレームフォーマットに変換する必要がある。

【0005】 また、動作クロックの乗せ替えのために、エラスティックメモリを挿入した場合、クロックのジ

タ、位相ずれによりエラスティックメモリのオーバーフロー、あるいは、アンダーフローが発生する。

【0006】 このようなエラスティックメモリのオーバーフロー、あるいは、アンダーフローを検出してクロックの乗せ替えを行う同期制御に関する従来技術として、例えば、特開昭62-86933号公報等に記載された技術が知られている。

【0007】 この従来技術は、書き込みフレームの位相と読み出しフレームの位相とを比較して、クロックのジッタ、位相ずれにより生じるエラスティックメモリのオーバーフロー、アンダーフローの検出を行うというものである。

【0008】 しかし、この従来技術は、ハードウェアの故障により突然書き込みフレームの位相と読み出しフレームの位相とが近づいたときにも、書き込み側の動作クロックと読み出し側の動作クロックとの間の位相のずれ、ジッタによりオーバーフロー、アンダーフローが発生したと判断して、ハードウェアの故障を検出することができない。

【0009】

【発明が解決しようとする課題】 前述したように、独立同期型マルチメディアLAN等の伝送システムのノード装置において、伝送路内を巡回するフレームフォーマットを保存したままのフレームを網同期化して同期データ処理装置に送信する従来技術は、同期データ処理装置がフレームの途中に挿入される無効データを考慮した制御を行わなければならない、同期データの取り出し、送信制御等に複雑な制御を行わなければならないという問題点を有している。

【0010】 また、書き込みフレームと読み出しフレームとの位相差からエラスティックメモリのオーバーフロー、アンダーフローの障害を検出する前述の従来技術は、異常を検出したとき、書き込みフレームと読み出しフレームとの位相を初期時の位相に修正してデータ送受信を再開するが、ハードウェアの誤動作、故障によりオーバーフロー、アンダーフローが生じた場合にも、前述と同様にデータの送受信を再開し、場合によっては再開、復旧を繰り返し、伝送システムを不安定な状態としてしまうという問題点を有している。

【0011】 本発明の目的は、前述した従来技術の問題点を解決し、同期データと非同期データとが混在する通信網に収容される同期データ処理装置における制御動作を複雑にすることのない、また、伝送システム内のノード装置において、エラスティックメモリのオーバーフロー、アンダーフローが検出されたとき、それが、書き込み側の動作クロックと読み出し側の動作クロックとの間の位相のずれ、ジッタ、すなわち、網同期クロックの再生不良によるものか、エラスティックメモリ制御のハードウェア障害によるものかの切り分けを容易に行うことができる同期制御方式を提供することにある。

【0012】

【課題を解決するための手段】本発明によれば前記目的は、エラスティックメモリに書き込むデータを、セルの情報部のみに限り、読み出しをフレーム先頭信号から連続して行い、セル情報部のみを集中連続配置したセルの順序を保存したフォーマットに変換して同期データ処理装置に送信するようにすることにより、また、書き込みフレームと読み出しフレームとの位相差からエラスティックメモリのオーバーフロー、アンダーフロー警告を、オーバーフロー、アンダーフローの障害となる前に発生

【0013】

【作用】エラスティックメモリに書き込むデータをセルの情報部に限定し、不規則に挿入されている無効領域、同期データ処理に不用なセル制御情報部を削除することにより、同期データ処理装置は、セル位置及びチャネル位置を容易に特定することができ、データの取り出し、及び、送信制御を単純に実現することができる。

【0014】また、エラスティックメモリのオーバーフロー、アンダーフローの警告を、オーバーフロー、アンダーフローの障害となる前に発生するようにすることにより、オーバーフロー、アンダーフローの障害発生の検出時に、警告が発生していたか否かを調べることにより、この障害発生が、クロックの位相ずれ、ジッタによるものか、ハードウェアの障害、誤動作によるものかを容易に判断することができる。

【0015】

【実施例】以下、本発明による同期制御方式の一実施例を図面により詳細に説明する。

【0016】図1は本発明の一実施例による独立同期型マルチメディアLANの構成を示すブロック図、図2は同期データ処理部の構成を示すブロック図、図3は同期データ処理部におけるフレーム変換の例を説明する図、図4はエラスティックメモリのオーバーフロー、アンダーフローの検出方法を説明する図である。図1、図2において、1は伝送路、2～4はノード装置、6は伝送路アクセス制御部、7は同期データ処理部、701、713はライト制御部、702、703はデータ幅変換部、704、710はリード制御部、705はエラスティックメモリ管理部、706、707は受信エラスティックメモリ、708、709は送信エラスティックメモリ、711はリードデータリタイミング部、712はデータラッチである。

【0017】図1に示す本発明の一実施例によるマルチメディアLANは、ノード装置2～4が、同期データと非同期データとが混在するデータを伝送する伝送路1によりリング状に接続され、各ノード装置2～4が図示しない同期データ処理装置を同期データ回線を介して収容して構成されている。そして、各ノード装置2～4のそれぞれは、通信網を構成する伝送路1に対する制御を行

う伝送路アクセス制御部6と、図示しない同期データ処理装置が接続される同期データ回線に対する制御を行う同期インタフェース部8と、伝送路1と同期データ回線との間の同期の処理を行う同期データ処理部7とを備えて構成される。

【0018】図示実施例において、ノード装置2は、クロックマスタノードとして動作するものであり、このため、データの送信部、受信部、中継制御部の他に、クロック情報生成部を備えて構成されている。ノード装置2は、自ノード装置2の動作クロックを網同期クロックの基本クロックとして伝送フレームの制御情報領域に挿入して伝送路1に送信する。

【0019】ノード装置3、4は、この基本クロックを含む伝送フレームを各ノード装置で独立な内部クロックで受けて中継を行う。この中継時、ノード装置3、4は、クロックマスタノードと各ノードとのクロックの相違を、伝送フレームに対しスタッフィングデータを挿入／削除することにより調整する。

【0020】ノード装置3、4は、伝送フレーム中のクロック情報から網同期クロックを再生し、同期データ処理部7へ供給するため、網同期クロック再生部を備えて構成される。このノード3、4において、伝送路アクセス制御部6の動作クロックは、各ノード装置毎に独立な内部クロックであり、再生した網同期クロックで動作する同期インタフェース部8にデータを渡すためには、内部クロックから網同期クロックへ動作クロックの乗せ替えを行う必要があり、この動作クロックの乗せ替えが同期データ処理部7で行われる。

【0021】同期データ処理部7は、送信、受信のエラスティックメモリを備えて構成され、その詳細な構成が図2に示されている。

【0022】図2に示すように、同期データ処理部7は、受信及び送信用にそれぞれ2面ずつのエラスティックメモリ706～709と、受信及び送信データのデータ幅変換部702、703と、エラスティックメモリに対する書き込み、読み出しを制御するライト制御部701、713、リード制御部704、710と、同期データ回線からのデータを一時的に保存するデータラッチ712と、同期データ回線へのデータの出力タイミングを調整するリードデータリタイミング部711と、エラスティックメモリ管理部705とを備えて構成される。

【0023】図3に、同期データ処理部7が伝送路アクセス制御部6から受信するフレームフォーマット（以下、伝送フレームという）、及び、同期データ処理部7から同期インタフェース部8へ送信するフレームフォーマット（以下、網同期フレームという）の構成を示しており、以下、これらのフレームフォーマットについて説明する。

【0024】伝送フレームは、ノード装置の内部クロック（19.44MHz）に同期した、5バイトのヘッダ

部(制御情報部)と48バイトのデータ部とから成るセルを1フレーム中に44セル配置し、これらのセルの間の不特定の位置にスタッフィングデータが挿入されて構成されている。しかし、このように、スタッフィングデータが不特定の位置に挿入されていると、データが周期的に到着することを前提とする同期データ回線に接続される同期データ処理装置における処理が複雑になる。

【0025】このため、本発明の一実施例は、同期データ処理部7でエラスティックメモリを使用して、クロックの乗せ替えを行うと共に、スタッフィングデータを取

り除く処理を行っている。

【0026】以下、この伝送フレーム受信時の同期データ処理部7におけるクロックの乗せ替えと、スタッフィングデータを取り除く処理について説明する。

【0027】図2において、伝送アクセス制御部6から受信された伝送フレームは、セル内のデータのみが、データ幅変換部702により2バイト幅のデータに変換され、書き込みデータに作成される。そして、最初に受信した伝送フレームのデータは、ライト制御部701の制御の下に初期化された受信エラスティックメモリ706

(ES0)内に、伝送フレームの先頭より順番に内部クロックに同期して書き込まれる。従って、エラスティックメモリ706には、その0番地からデータ部のみが第1セルから44セル分書き込まれることになる。

【0028】この1フレーム分の伝送フレームの形状をチェックし、フレームフォーマットに異常がなければ、第2の伝送フレームのデータ部が受信エラスティックメモリ707(ES1)に前述と同様に書き込まれる。また、この第2の伝送フレームのデータの書き込みの開始と同時に、リード制御部710の制御の下で、網同期ク

ロック(9.72MHz)に同期して受信ES0からのデータ読み出しが開始され、44セル分のデータの読み出し終了後、無効領域が挿入され、網同期フレームの長さが合わされる。

【0029】従って、網同期フレームのフレームフォーマットは、図3に示すように、フレーム先頭から前づめに配置した44セル分のデータ部と無効領域とにより構成され、伝送フレームに対して、当初1フレーム分の遅延が生じている。

【0030】一方、同期データ回線から同期インタフェース部8を介して同期データ処理部7に送信データが与えられる場合、同期インタフェース部8は、網同期フレームのタイミングに合わせて乗せ替えセル、チャンネルの位置に、送信データを同期データ処理部7へ送信してくる。同期データ処理部7は、ライト制御部713の制御の下に、受信したデータを網同期クロックに同期して送信エラスティックメモリ708(ES0)に書き込む。網同期フレームの1フレーム分を書き込み後、次のフレームのデータは、同様に送信エラスティックメモリ709(ES1)に書き込まれる。

【0031】この送信ES1への書き込みの開始と同時に、リード制御部704の制御の下に、送信ES0からの内部クロックに同期したデータの読み出しが開始される。読み出されたデータは、データ幅変換部703を介して1バイト幅で伝送路アクセス制御部6に送出される。

【0032】前述した2面の受信用、送信用のエラスティックメモリに対する書き込み、読み出しは、それぞれ2面のメモリが交互に使用されて繰返し実行される。これにより、内部クロックと網同期クロックとの間のクロック位相差を吸収して、データの送受信を行うことができる。

【0033】次に、図4を参照して、エラスティックメモリのオーバーフロー・アンダーフローを検出する方法を説明する。このオーバーフロー・アンダーフローの検出は、同期データ処理部7のエラスティックメモリ管理部705において、受信エラスティックメモリ706、707の書き込み/読み出しのタイミングを比較することにより行われる。

【0034】エラスティックメモリ管理部705は、2面の受信エラスティックメモリ706、707をフレーム単位に切り替えて受信ES0に書き込む伝送フレームの第1、第2セルを示す信号を障害領域A信号として、第1～第7セルを示す信号を警告領域A信号として生成する。また、エラスティックメモリ管理部705は、受信ES0から読み出す網同期フレームの第1、第2セルを示す信号を障害領域B信号として、第1～第7セルを示す信号を警告領域B信号として生成する。

【0035】正常動作時、図4(1)に示すように、障害領域A信号、警告領域A信号と、障害領域B信号、警告領域B信号とが重なり合うことはない。

【0036】ノードクロックすなわち内部クロックと網同期クロックとの間の位相のずれ、ジッタにより伝送フレームと網同期フレームの位相が近づき、図4(2)に示すように、警告領域A信号と障害領域B信号とが重なると、エラスティックメモリ管理部705は、エラスティックメモリのアンダーフローが発生する前の警告として警告信号を出力する。同様に、障害領域A信号と警告領域B信号とが重なると、エラスティックメモリ管理部705は、エラスティックメモリのオーバーフローが発生する前の警告として警告信号を出力する。

【0037】さらに伝送フレームと網同期フレームとの位相が近づき、図4(3)に示すように、障害領域A信号と障害領域B信号とが重なると、エラスティックメモリ管理部705は、エラスティックメモリのオーバーフロー、アンダーフロー障害が発生したことを検出し、同期データ処理部7を再初期化し、伝送フレームと網同期フレームとの位相を初期状態と同じように1フレーム分の位相差に戻し、データの読み出しを再開させる。

【0038】前述したように、本発明の一実施例は、エ

ラスティックメモリのオーバーフロー、アンダーフローの発生に対する警告を、伝送フレームと網同期フレームとの位相差、すなわち、エラスティックメモリの書き込みと読み出しとの位相差が7セル以内となったときに報告し、また、オーバーフロー、アンダーフロー障害発生を前述の位相差が2セル以内になったときに報告している。

【0039】従って、本発明の一実施例は、エラスティックメモリのオーバーフロー、アンダーフローの検出時、その前に、警告信号が出力されたか否かを監視することにより、エラスティックメモリのオーバーフロー、アンダーフローが、ジッタ、網同期クロックの再生不良、すなわち、伝送路アクセス制御部の網同期クロック再生部の故障により発生したか、同期データ処理部7の故障により発生したか、その原因の切り分けを容易に行うことができる。

【0040】すなわち、前記原因が、ジッタ、網同期クロックの再生不良の場合、連続的に伝送フレームと網同期フレームとの位相がずれるために、オーバーフロー、アンダーフローの検出時、その前に、必ず警告信号が出力されているはずである。従って、警告信号が検出されている場合、原因が、ジッタ、網同期クロックの再生不良であることが判る。

【0041】一方、前記原因が、同期データ処理部7、すなわち、エラスティックメモリの制御回線の故障の場合、エラスティックメモリに対する書き込み／読み出しの番地が急にずれる現象となるため、オーバーフロー、アンダーフローの検出時、その前に、警告信号が出力されていない。従って、警告信号が検出されていない場合、原因が、同期データ処理部7の故障であることが判る。

【0042】これにより、本発明の一実施例は、伝送路アクセス制御部の故障か、同期データ処理部の故障かの切り分けを容易に行うことができ、同期データ処理部の故障時には、故障の同期データ処理部を切り離すことにより、伝送路への影響を回避することができる。

【0043】前述した本発明の一実施例によれば、網同期フレームは、その先頭からセル情報部が44セル分集中配置されて構成されるので、ノード装置に接続されている同期データ処理装置は、このフレームの処理にあたり、セル位置、チャネル位置を容易に特定することができ、また、同期アダプタ装置によるデータの取り出し、

送信制御を容易に実行することができる。

【0044】また、前述した本発明の一実施例によれば、ノード装置が、エラスティックメモリに対する書き込み位相と読み出し位相とを比較することにより、エラスティックメモリの障害発生前に警告情報を発生しているので、メモリの障害発生が、書き込みクロックと読み出しクロックの位相ずれにより発生したか、あるいは、ハードウェア障害により発生したかを識別して、後の処理を行うことができる。

【0045】

【発明の効果】以上説明したように本発明によれば、同期データと非同期データとが混在する通信網に收容される同期データ処理装置における制御動作を複雑にすることがなく、また、通信網内のノード装置において、エラスティックメモリのオーバーフロー、アンダーフローが検出されたとき、それが、書き込み側の動作クロックと読み出し側の動作クロックとの間の位相のずれ、ジッタによるものか、ハードウェアの障害によるものかの切り分けを容易に行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例による独立同期型マルチメディアLANの構成を示すブロック図である。

【図2】同期データ処理部の構成を示すブロック図である。

【図3】同期データ処理部におけるフレーム変換の例を説明する図である。

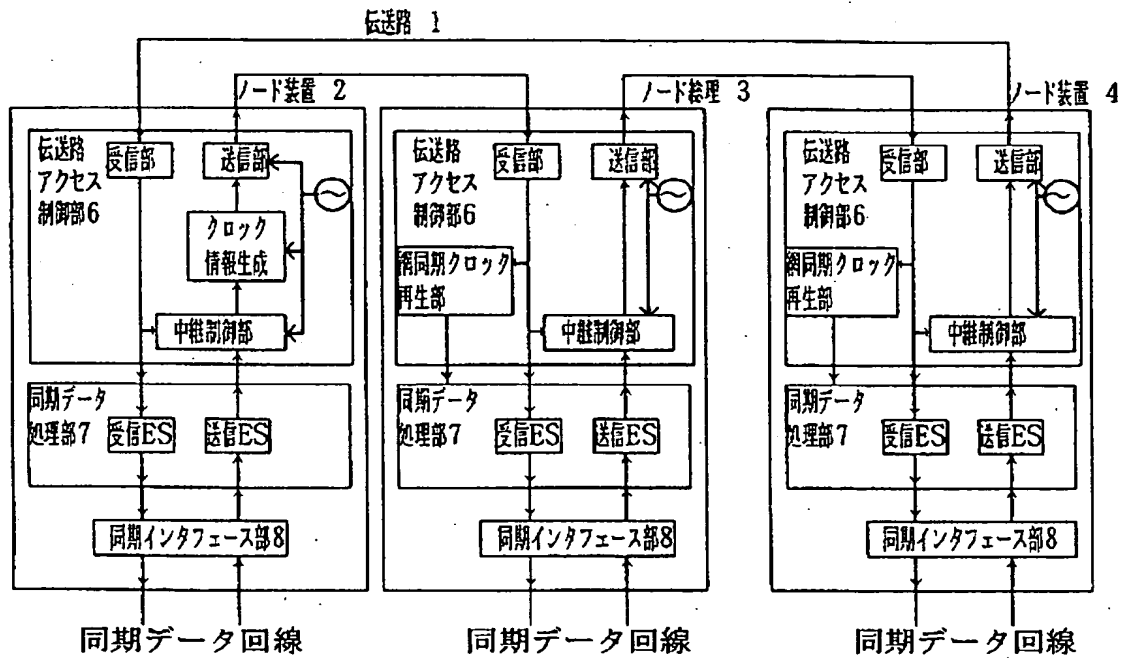
【図4】エラスティックメモリのオーバーフロー、アンダーフローの検出方法を説明する図である。

【符号の説明】

- 1 伝送路
- 2～4 ノード装置
- 6 伝送路アクセス制御部
- 7 同期データ処理部
- 701、713 ライト制御部
- 702、703 データ幅変換部
- 704、710 リード制御部
- 705 エラスティックメモリ管理部
- 706、707 受信エラスティックメモリ
- 708、709 送信エラスティックメモリ
- 711 リードデータリタイミング部
- 712 データラッチ

【図1】

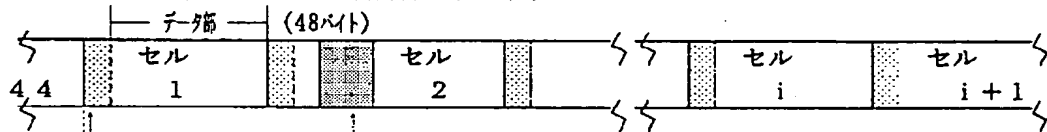
図1



【図3】

図3

伝送フレーム (伝送アクセス制御部のデータ)

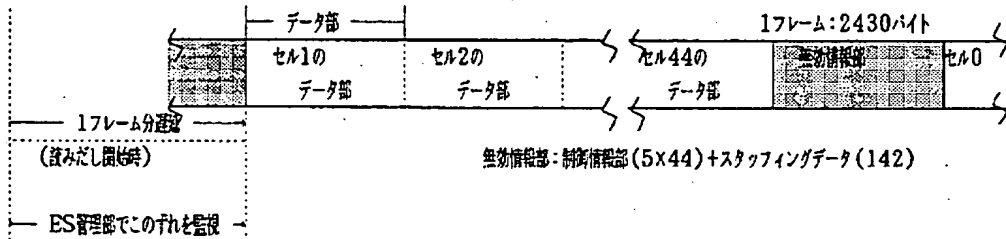


制御情報 (5バイト)

独立同期中継のためのスタフピングデータ

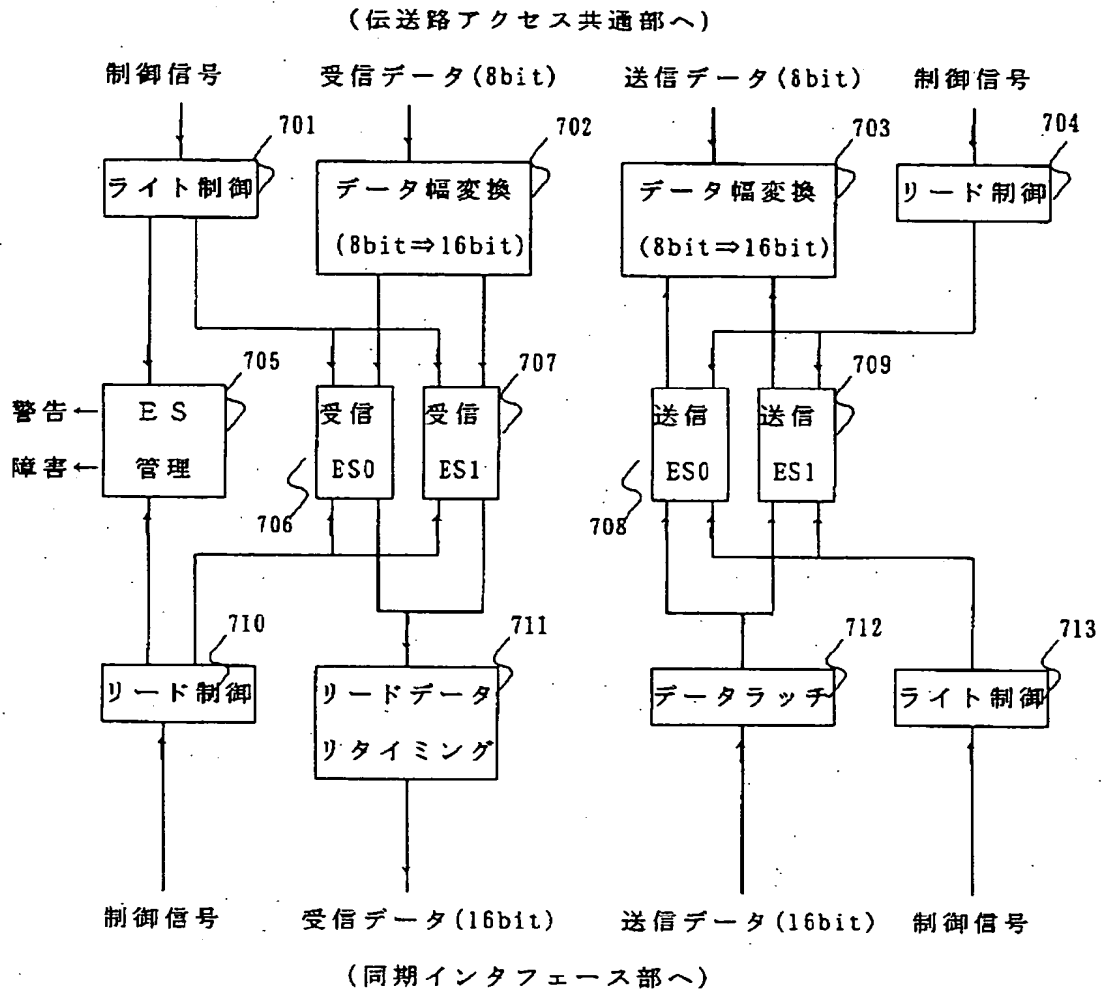
ジッタ/位相ずれの吸収
フレームフォーマットの変換

網同期フレーム (同期インタフェース部のデータ)



【図2】

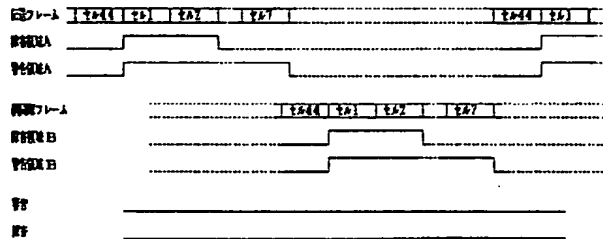
図2



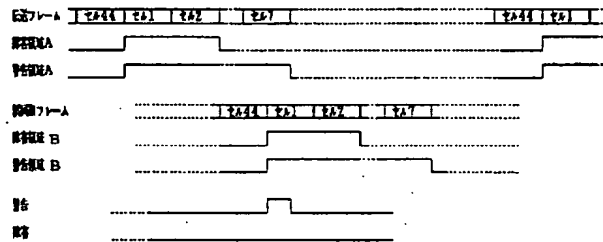
【図4】

図4

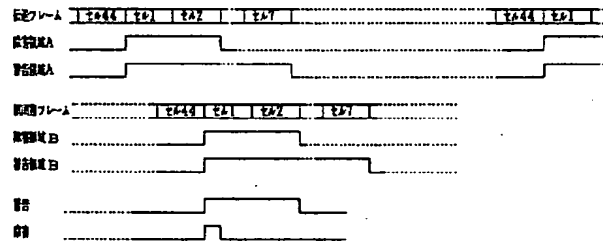
(1) 正常時



(2) 受信時



(3) 障害時



フロントページの続き

(51) Int. Cl.⁵

H 0 4 L 12/42

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 和田 浩二

神奈川県横浜市戸塚区戸塚町216番地 株
 式会社日立製作所情報通信事業部内

(72) 発明者 本木 由子

神奈川県横浜市戸塚区戸塚町216番地 株
 式会社日立製作所情報通信事業部内